

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 60-254318
(43) Date of publication of application : 16.12.1985

(51) Int. CI. G06F 3/06
G11B 19/02

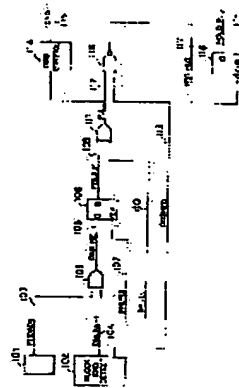
(21) Application number : 59-111912 (71) Applicant : TOSHIBA CORP
(22) Date of filing : 31.05.1984 (72) Inventor : FURUYA AKIHIKO
KANAMARU KOICHI
YOSHIZATO SATORU
UCHIDA TOUJIYUUROU

(54) MAGNETIC DISC CONTROL DEVICE

(57) Abstract:

PURPOSE: To execute data transfer efficiently and rapidly by exciting a microprocessor on the basis of a buffer full status signal and executing head advancing processing prior to the transfer of the data block of the final sector in a data buffer in a magnetic disc control device having a structure using a bus in common for a microprocessor and a data buffer.

CONSTITUTION: If the microprocessor sets up a head advancing flip-flop (FF) 101 to start data transfer when five sectors are to be read out from a sector 14 of a certain cylinder head 0, an FF118 is set up and data transfer is started. When data in a sector 15 are read out from a disc, a detecting signal 104 is outputted from a block end detecting circuit 102 and synchronized with a buffer full status display signal 107 (DRLFUL) by an FF108 and a signal 109 is outputted. Then, a signal (FULL) indicating the buffer full status is outputted from an OR gate 111 on the basis of the output signal 109. Consequently, the output 115 of a control circuit 114 is reset and data transfer of the host side is interrupted.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-254318

⑫ Int. Cl.⁴

G 06 F 3/06
G 11 B 19/02

識別記号

庁内整理番号

6974-5B
7326-5D

⑬ 公開 昭和60年(1985)12月16日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 磁気ディスク制御装置

⑮ 特 願 昭59-111912

⑯ 出 願 昭59(1984)5月31日

| | | | | |
|---------|---------------|-------|-------------------------|-----------------------|
| ⑰ 発 明 者 | 古 谷 | 彰 彦 | 青 梅 市 末 広 町 2 丁 目 9 番 地 | 株 式 会 社 東 芝 青 梅 工 場 内 |
| ⑰ 発 明 者 | 金 丸 | 孝 一 | 青 梅 市 末 広 町 2 丁 目 9 番 地 | 株 式 会 社 東 芝 青 梅 工 場 内 |
| ⑰ 発 明 者 | 吉 里 | 哲 | 青 梅 市 末 広 町 2 丁 目 9 番 地 | 株 式 会 社 東 芝 青 梅 工 場 内 |
| ⑰ 発 明 者 | 内 田 | 藤 十 郎 | 青 梅 市 末 広 町 2 丁 目 9 番 地 | 株 式 会 社 東 芝 青 梅 工 場 内 |
| ⑰ 出 願 人 | 株 式 会 社 東 芝 | | 川 崎 市 幸 区 堀 川 町 72 番 地 | |
| ⑰ 代 理 人 | 弁 理 士 鈴 江 武 彦 | | 外 2 名 | |

明 細 書

1. 発明の名称

磁気ディスク制御装置

2. 特許請求の範囲

ブロック単位でデータを出入れする複数ブロック構成のFIFO形データバッファと、装置内の処理制御を司るマイクロプロセッサとがデータベースを共有する磁気ディスク制御装置に於いて、前記マイクロプロセッサの制御の下にヘッドアドバンスの実行有無を表示するヘッドアドバンスフラグと、このヘッドアドバンスフラグがヘッドアドバンスの実行を表示している際に、最終セクタアクセス終了前の所定タイミングでバッファフル状態を示す疑似信号を生成する回路と、この回路より生成される疑似信号に従うバッファフル状態を最終セクタアクセス終了時に前記マイクロプロセッサに通知する手段とを有し、前記バッファフル状態信号により前記マイクロプロセッサに起動をかけ、ヘッドアドバンス処理を前記データバッファ内の最終セクタの

データブロック転送に先行して行なうことを特徴とした磁気ディスク制御装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は情報処理装置の外部記憶に用いられる磁気ディスク装置のコントローラに係り、特にマイクロプロセッサとデータバッファがバスを共有する構造の磁気ディスク制御装置に関する。

〔発明の技術的背景とその問題点〕

情報処理装置の外部記憶をなすハードディスクドライブに於いては、第1図に示すような構成のハードディスクコントローラが広く用いられている。第1図に於いて、1はハードディスクコントローラ、11はホストシステム(H-CPU)、12はハードディスク装置(DISK)である。2乃至10はそれぞれハードディスクコントローラ1の構成要素をなすもので、2はコントローラ1全体の制御を司るマイクロプロセッサ、3はプログラム格納ROMである。4はRAMであり、

BEST AVAILABLE COPY

マイクロプロセッサ2のワークエリアとディスクの読み書きデータを一時的に蓄えるバッファメモリからなる。5はホストインタフェースコントロール回路(HOST-IF-CNT)、6はフォーマットタイミングコントロール部及びバッファメモリコントロール部でなる制御回路(FTC/BMC)、7はディスクインタフェースコントロール回路(DD-IF-CNT)、8はデータバス、9はホストインタフェース、10はディスクインタフェースである。

ここで、上記コントローラ1に設けられるRAM4内のバッファメモリがセクタ単位のFIFOバッファで構成され、そのバッファサイズを4セクタとする。また、データバス8を共有するため、データ転送中はマイクロプロセッサ2が動作停止状態(ホールド状態)となり、かつヘッドの切換え、及びシーク動作はマイクロプロセッサ2により行なうものとする。

このような構成のコントローラにて、従来では、ヘッドの切換えに伴い、ディスクの回転待

ちが生じ、この回転待ちを越さずヘッド切換をするには高速のプロセッサを使用しなければならないことから、コストの上昇、ハードウェアの複雑化等を招き非常に不利な構成となるといふ不都合が生じていた。

この具体例を第1図及び第2図を参照して説明する。ここでは、或るシリンダのヘッド「0」、セクタ「14」から5セクタリードする場合の動作を例に挙げて説明する。最終セクタナンバーを16とするとアクセスする順番は、ヘッド0のセクタ14、15、16、及びヘッド1のセクタ0、1となる。第2図(a)はディスクからのインデックスパルス(INDEX)を示し、同図(b)は磁気面上のセクタの位置とそのナンバー(底)を示す。同図(c)はホールドリクエスト信号(HOLD REQ)で、マイクロプロセッサ2よりデータ転送の起動がかかる(図中のB、F)と、アクティブとなってデータ転送に入り、マイクロプロセッサ2はホールド状態となる(図中のC、G)。尚、図中、A、Eの状態はマイクロプロ

セッサ2が動作している(ビジー)状態である。又、第2図(d)はディスクからバッファ(DISK→BF)までのデータ転送状態を表わし、同図(e)はバッファからホストシステム11までのデータ転送状態を表わす。又、第2図(f)はバッファのフル(FULL)状態を表わすフラグで、このフラグがアクティブの場合、ホスト側の転送ができないことを示している。

まず、マイクロプロセッサ2より、第2図(e)に示すB点で起動がかかると、ホールドリクエスト信号(HOLD REQ)が出力されて、マイクロプロセッサはホールド状態となり、これにより、バス8を開放し、データ転送に入る。ディスクから3セクタ(セクタ14、15、16)を読み出した後、バッファがフル(FULL)状態になると、ホールドリクエスト信号(HOLD REQ)が落ち(第2図(e)のD点)、再びマイクロプロセッサ2が動作を開始して、ヘッドをヘッド0からヘッド1に切り換える(第2図(e)のE)。このヘッド切換が終了すると、残りの2セクタ(セク

タ0、1)をリードするために、再びデータ転送の起動をかける(第2図(e)のF点)。この際、ヘッド切換後の再起動をかけた時点(第2図(e)のF点)で、セクタ0が既に通過しているため、一回転待たなければ、セクタ0のデータを読むことができない。すなわち、回転待ちを越さずセクタ0を読むためには第2図のH点までに起動をかけなければならず、従って高速処理が可能な高価なシステム構成としなければならない。

[発明の目的]

本発明は上記実情に鑑みなされたもので、マイクロプロセッサとデータバッファがデータバスを共有する構成の磁気ディスク制御装置に於いて、低速で安価なマイクロプロセッサを用いてヘッドアドバンス後の回転待ちを回避でき、データ転送を効率良く高速に実行できる磁気ディスク制御装置を提供することを目的とする。

[発明の概要]

本発明は、マイクロプロセッサとデータバ

BEST AVAILABLE COPY

ヘッドがデータバスを共有する磁気ディスク制御装置に於いて、トラック最終セクタから次のヘッドに移るとき、最終セクタアクセス後、擬似的なバッファフル(FULL)状態を作り出すことによって、低速で安価なマイクロプロセッサを用いて、回転待ちをすることなく、ヘッド切換後のデータ転送が効率良く実行できる磁気ディスク制御装置が提供できる。

[発明の実施例]

以下図面を参照して本発明の一実施例を説明する。

第3図は本発明の一実施例に於ける要部のハードウェア構成を示すブロック図である。図中、101はヘッドアドバンスフリップフロップであり、マイクロプロセッサによりセット/リセットできる。102はブロックエンド検出回路(BLOCK END DETECT)であり、ディスクにリード/ライトしたブロック数をカウントする。このブロックエンド検出回路102の初期設定はマイクロプロセッサにより行なり。103はヘッ

ドアドバンスフリップフロップ101の出力信号(FHDADV)である。104はブロックエンド検出回路102の出力信号(DBLKE-1信号)であり、最終ブロックの一つ手前のブロック(最終ブロック-1)検出信号を出力する。106は、ヘッドアドバンスフリップフロップ101の出力103とブロックエンド検出回路102の出力104とを入力するアンドゲートであり、106はアンドゲート105の出力信号(DSBLKE)である。107はホストデータ転送時に於いて各ブロック終了毎に出力されるブロック転送終了信号(DRLFUL)である。108はアンドゲート105の出力106をブロック転送終了信号107に同期化するためのフリップフロップであり、109はフリップフロップ108の出力である。110はデータバッファのフル(FULL)状態を表わすバッファフル状態表示信号(DFULL)であり、この信号109が"1"の場合、ホスト側の転送ができないことを表わす。111はフリップフロップ108の出力109とバッ

ファフル状態表示信号110を入力とするオアゲートであり、112はオアゲート111の出力である。113はブロックエンド検出回路102の出力であり、ディスク側の最終ブロックアクセスを表わす最終ブロックアクセス表示信号(DDSKED)である。114はホストシステムに対するデータ要求信号(DRQ)を制御する制御回路であり、115は上記データ要求信号(DRQ)である。116はオアゲート111の出力112と最終ブロックアクセス表示信号113を入力するノアゲートであり、117はノアゲート116の出力である。118はマイクロプロセッサに対するホールドリクエストフリップフロップであり、マイクロプロセッサによってデータ転送の起動がかけられると、このフリップフロップもセットされる。119はホールドリクエスト信号(HOLD REQ)であり、この信号が"1"になるとマイクロプロセッサがデータバス、アドレスバス、コントロール信号等を開放し、データ転送可能状態となる。

第4図(a)乃至(d)は一実施例の動作を説明するための上記第3図に於ける各部の信号タイミングを示すタイムチャートである。

ここで、第3図及び第4図を参照して一実施例の動作を説明する。ここでは、或るシリンダヘッド0、セクタ14から、5セクタをリードする場合の動作を説明する。まず、マイクロプロセッサが第4図(a)に示すJ点において、ヘッドアドバンスフリップフロップ101をセットし、その出力103(FHDADV)を"1"にした後、第4図(c)に示すB点にてデータ転送の起動をかけると、フリップフロップ118がセットされ、その出力119(HOLD REQ)が"1"となってデータ転送に入る(第4図(d)に示すC期間)。ディスクからセクタ15のデータをリードすると、ブロックエンド検出回路102より、第4図(b)に示す如く、検出信号104(DBLKE-1; 最終セクタ-1)が出力され、この信号104がフリップフロップ108により、第4図(b)に示すバッファフル状態表示信号107(DRLFUL)に同期

BEST AVAILABLE COPY

化されて、第4図(i)に示す信号109(FBLK 21)が出力され、更にこの出力信号109(FBLK 21)に従いオアゲート111より、第4図(j)に示す如くパツファフル状態を示す信号(FULL)が出力される。これによって、まず制御回路114の出力115(DRQ)がリセットされ、ホスト側のデータ転送が中断される。そして、最終ブロック(セクタ16)のアクセス終了時に、ブロックエンド検出回路102より、第4図(e)に示す如く、最終ブロックアクセス表示信号113(DDSKED)が出力されると、これによってノアゲート116より第4図(k)に示す信号117(RSTHLD)が出力され、フリップフロップ118の出力信号、即ちホールドリクエスト信号119(HOLD REQ)がリセットされる(第4図(e)のD点)。上記ホールドリクエスト信号119(HOLD REQ)がリセットされることにより、再びマイクロプロセッサが動作を開始し、ヘッドの切り換え処理を実行する(第4図(e)のE期間内)。次のアクセスはヘッドアドバンスをしないので、第4

図(k)に示すK点でヘッドアドバンスフリップフロップ101をリセットする。そして、第3図(e)に示すF点で再びデータ転送の起動をかけ、フリップフロップ118がセットされて、データ転送状態(第4図(e)のG期間内)に入る。この際、第4図(e)に示すD点(マイクロプロセッサが再び動き出す時点)がセクタ16のアクセス直後にあるため、時間的余裕が生じ、これにより、第4図のH点より前に再起動(第2図(a)のF点)をかけることが可能となる。したがって、ヘッドアドバンス後、回転待ちをすることなく、セクタ0のデータをアクセスすることができる。

上述した如く、ヘッドアドバンスフラグ(FHDAV)をセットすることによって、擬似的パツファフル(FULL)状態(FBLK 21)を作り出し、これによって最終セクタアクセス終了時点でホールドリクエスト信号119(HOLD REQ)がリセットされる。従って、マイクロプロセッサが再び動き出す時点が早くなる。すなわち、従来は

第2図のD点であったものが、本発明の実施例によれば、第4図のD点となる。このため、従来に比し、ヘッドアドバンス動作、次のアクセス準備等をした後の再起動をかける時点が早くなる(第2図、第4図のF点参照)。これにより、従来、ヘッドアドバンス後、回転待ちをしていたものが、本発明の実施例によれば、回転待ちをしないで、ヘッドアドバンス後のデータ転送をすることができる。

〔発明の効果〕

以上詳記したように本発明によれば、マイクロプロセッサとデータパツファがデータバスを共有する磁気ディスク制御装置において、トラック最終セクタから次のヘッドに移るとき、最終セクタアクセス後、擬似的なパツファフル(FULL)状態を作り出すことによって、低速で安価なマイクロプロセッサを用いて、回転待ちをすることなく、ヘッド切換え後のデータ転送が効率良く実行できる磁気ディスク制御装置が提供できる。

4.図面の簡単な説明

第1図は本発明で対象とする磁気ディスク制御装置の構成を示すブロック図、第2図は従来の動作を説明するためのタイムチャート、第3図は本発明の一実施例に於ける要部の構成を示す回路ブロック図、第4図は上記実施例の動作を説明するためのタイムチャートである。

101、108、118…フリップフロップ、
102…ブロックエンド検出回路、105…ア
ンドゲート、111…オアゲート、116…ノ
アゲート、114…制御回路。

出願人代理人 弁理士 鈴 江 武 彦

BEST AVAILABLE COPY

図 1

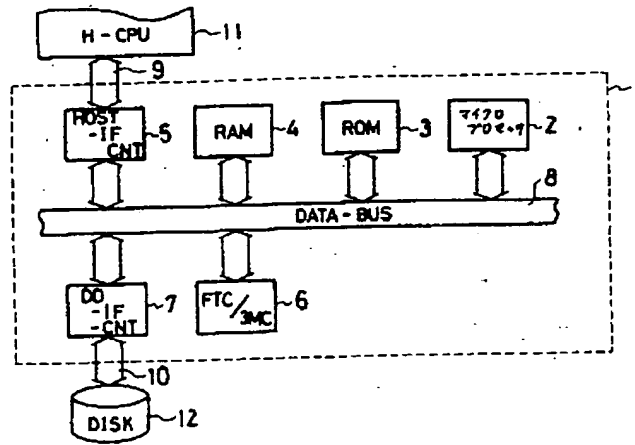
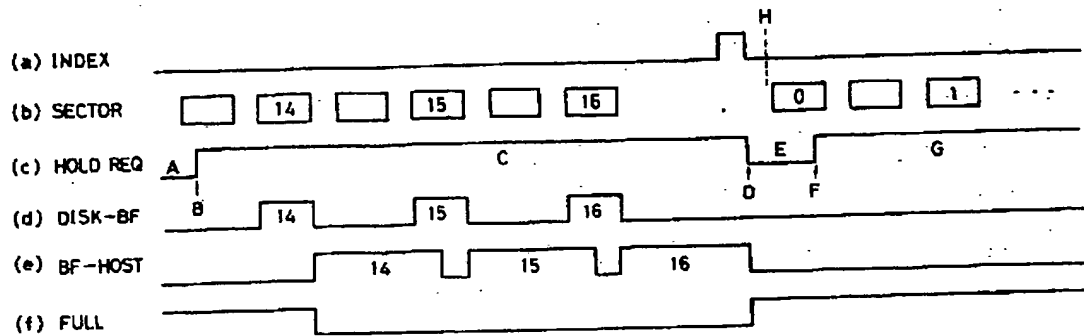


図 2



BEST AVAILABLE COPY

図 3

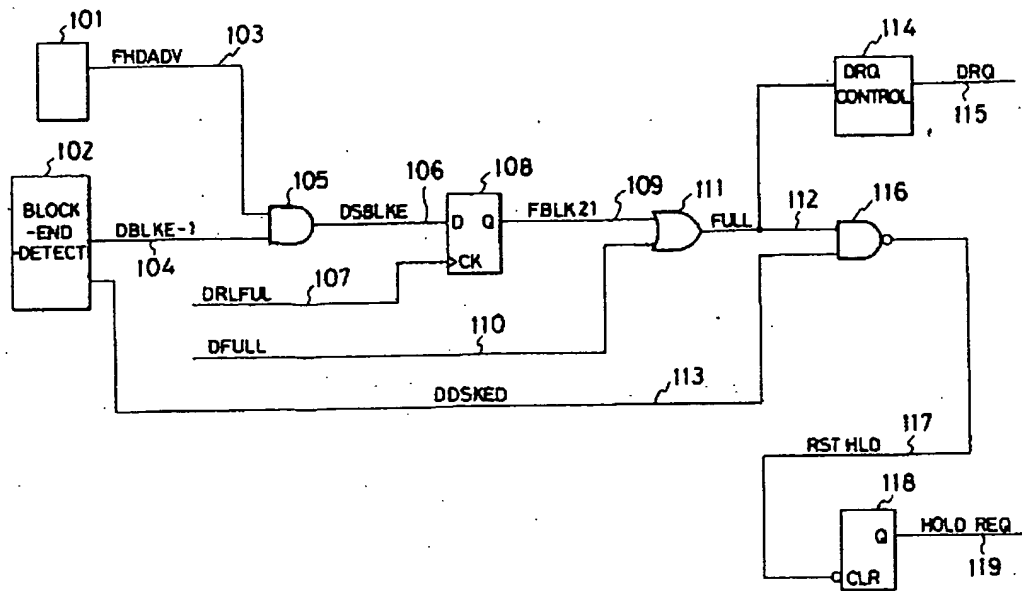
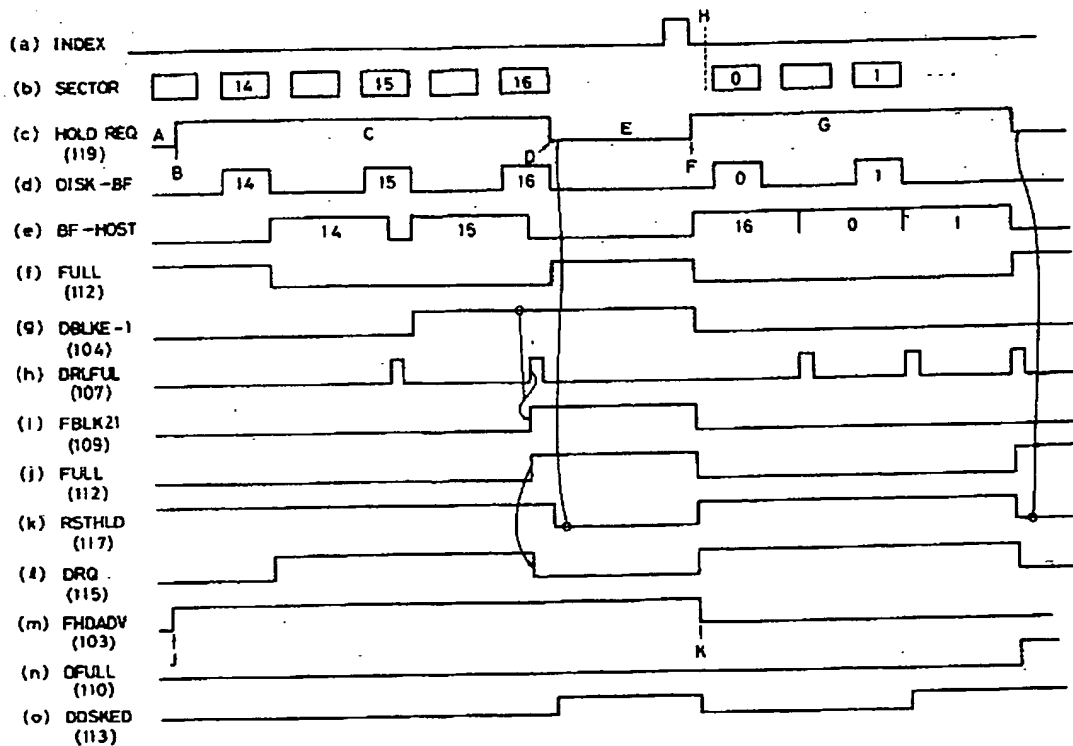


図 4



BEST AVAILABLE COPY